

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358304

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H01L 27/04

H01L 21/822

H01L 21/768

(21)Application number : 2000-179350

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 15.06.2000

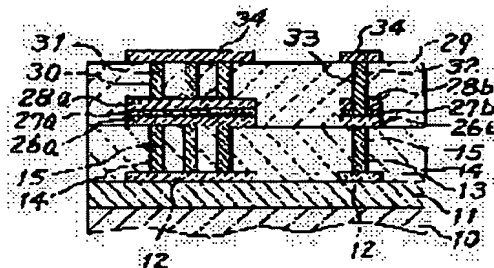
(72)Inventor : KOBAYAKAWA MASAYUKI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device not having a step between an upper surface of a capacitor element and other wiring, not having a step in a layer formed thereon, and having high reliability and high yield of manufacturing.

**SOLUTION:** A method for manufacturing the semiconductor device comprises the steps of forming an insulating film 11 on a semiconductor substrate 10, simultaneously forming a lower electrode 26a of the capacitor and a lower metal layer 26b on the film 11, simultaneously forming an insulating film 27a and an intermediate insulating layer 27b of the capacitor on the electrode 26a and the layer 26b, simultaneously forming an upper electrode 28a and an upper metal layer 28b of the capacitor on the film 27a and the layer 27b of the capacitor, conducting the layer 26b with the layer 28b, and forming the capacitor element and metal wirings.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-358304  
(P2001-358304A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 27/04		H 0 1 L 27/04	C 5 F 0 3 3
21/822		21/90	B 5 F 0 3 8
21/768			

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2000-179350 (P2000-179350)

(22) 出願日 平成12年6月15日 (2000. 6. 15)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小早川 正之

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人 100116207

弁理士 青木 俊明 (外2名)

Fターム (参考) 5F033 HH07 HH09 HH18 JJ19 KK07

KK09 KK18 NN13 NN17 PP06

PP15 QQ23 QQ31 QQ37 QQ38

RR04 RR14 VV10 VV16

5F038 AC05 AC09 AC14 AC15 AC18

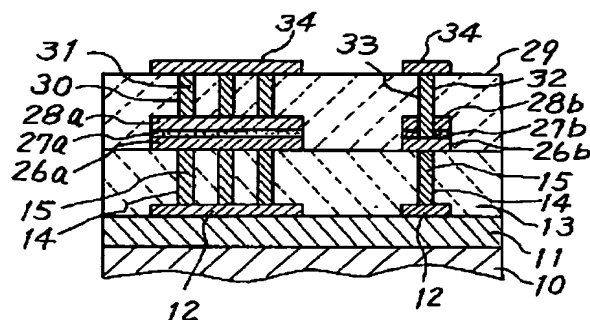
EZ14 EZ15 EZ20

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 キャパシタ素子の上面と他の配線との段差がなく、また、その上に形成される層中にも段差がなく、信頼性が高く、製造における歩留りも高い半導体装置を得る。

【解決手段】 半導体基板10上に絶縁膜11を形成し、前記絶縁膜11上にキャパシタ下部電極26a及び下部メタル層26bを同時に形成し、前記キャパシタ下部電極26a及び前記下部メタル層26bの上に、キャパシタ絶縁膜27a及び中間絶縁層27bを同時に形成し、前記キャパシタ絶縁膜27a及び前記中間絶縁層27bの上に、キャパシタ上部電極28a及び上部メタル層28bを同時に形成し、前記下部メタル層26bと前記上部メタル層28bとを導通させ、キャパシタ素子及びメタル配線を形成する。



**【特許請求の範囲】**

**【請求項 1】** (a) 半導体基板上に形成された絶縁膜と、(b) 前記絶縁膜上に形成されたキャパシタ下部電極、前記キャパシタ下部電極上に形成されたキャパシタ絶縁膜、及び、前記キャパシタ絶縁膜上に形成されたキャパシタ上部電極を含むキャパシタ素子と、(c) 前記絶縁膜上に前記キャパシタ下部電極と同一の金属層から形成された下部金属層、前記下部金属層上に前記キャパシタ絶縁膜と同一の絶縁膜から形成された中間絶縁層、及び、前記中間絶縁層上に前記キャパシタ上部電極と同一の金属膜から形成された上部金属層を含み、前記下部金属層と前記上部金属層とが導通されている金属配線を有することを特徴とする半導体装置。

**【請求項 2】** (a) 半導体基板上に絶縁膜を形成し、

(b) 前記絶縁膜上にキャパシタ下部電極及び下部金属層を同時に形成し、(c) 前記キャパシタ下部電極及び前記下部金属層の上に、キャパシタ絶縁膜及び中間絶縁層を同時に形成し、(d) 前記キャパシタ絶縁膜及び前記中間絶縁層の上に、キャパシタ上部電極及び上部金属層を同時に形成し、(e) 前記下部金属層と前記上部金属層とを導通させ、(f) キャパシタ素子及び金属配線を形成することを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体装置及びその製造方法に関するものである。

**【0002】**

**【従来の技術】** 従来、IC、LSI等の半導体装置において、キャパシタ素子は、一般に、半導体基板上にキャパシタ下部電極、キャパシタ絶縁膜及びキャパシタ上部電極を順次形成することにより製造される。

**【0003】** 図10は従来の半導体装置の製造方法における工程断面図である。

**【0004】** まず、図10(a)に示されるように、半導体基板110上に図示されないトランジスタ、抵抗素子、配線等を形成した後、その上に第1の層間絶縁膜111を形成し、さらに該第1の層間絶縁膜111の上に、金属層を形成し、該金属層をホトリソグラフィ技術を使用してエッチングし、所定の形状の第1の金属配線112を形成する。

**【0005】** その後、前記第1の層間絶縁膜111及び第1の金属配線112の上に、第2の層間絶縁膜113を形成する。そして、該第2の層間絶縁膜113に、前記第1の金属配線112と上層に形成される金属配線とを接続するための複数の接続孔114をホトリソグラフィ技術を使用したエッチングにより形成した後、全面にタングステンの層をCVD法により形成する。次いで、該タングステンの層をエッチバックすることにより、図10(b)に示されるように、前記接続孔

114に埋め込まれた複数のタングステン電極115が形成される。

**【0006】** 次に、全面にアルミニウムのような金属の層をスパッタリング法により形成した後、前記金属の層をホトリソグラフィ技術を使用してエッチングし、図10(c)に示されるように、キャパシタ下部電極116を形成する。ここで、該キャパシタ下部電極116は、いくつかの前記タングステン115によって第1の金属配線112に電気的に接続されている。

**【0007】** その後、全面にシリコン酸化膜をCVD法により形成した後、該シリコン酸化膜をホトリソグラフィ技術を使用してエッチングし、図10(d)に示されるように、前記キャパシタ下部電極116を覆うキャパシタ絶縁膜117を形成する。

**【0008】** 次に、全面にアルミニウムのような金属の層をスパッタリング法により形成した後、前記金属の層をホトリソグラフィ技術を使用してエッチングし、図10(e)に示されるように、キャパシタ上部電極118及び第3の金属配線119を形成する。

**【0009】** このようにして、半導体基板110上の第1の層間絶縁膜111の上に、キャパシタ下部電極116、キャパシタ絶縁膜117及びキャパシタ上部電極118を含む半導体装置が製造される。

**【0010】**

**【発明が解決しようとする課題】** しかしながら、前記従来の半導体装置及びその製造方法においては、キャパシタ上部電極118と第3の金属配線119との段差が大きい。このため、エッチングにより前記キャパシタ上部電極118及び第3の金属配線119を形成する際のエッチング量のコントロールが困難となり、前記キャパシタ上部電極118及び第3の金属配線119を所望の形状に形成できず、所定のキャパシタ性能が得られなかったり、断線が生じたりすることがある。このため、前記キャパシタ素子を含むIC、LSI等の半導体装置の信頼性が低下し、製造における歩留りも低下してしまう。

**【0011】** さらに、多層配線を有する半導体装置を得る場合には、前記キャパシタ上部電極118及び第3の金属配線119の上に配線層を形成する必要があるが、前記キャパシタ上部電極118と第3の金属配線119との段差が大きいために、その上に形成する層を平坦にすることが困難なため、その上に形成される配線層の中にも段差が生じて、所定の性能が得られなかったり、断線が生じたりしてしまう。

**【0012】** 本発明は、上記問題点を解決して、キャパシタ素子の上面と他の配線との段差がなく、また、その上に形成される層中にも段差がなく、信頼性が高く、製造における歩留りも高い半導体装置及びその製造方法を提供することを目的とする。

**【0013】**

【課題を解決するための手段】そのために、本発明の半導体装置においては、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたキャパシタ下部電極、前記キャパシタ下部電極上に形成されたキャパシタ絶縁膜、及び、前記キャパシタ絶縁膜上に形成されたキャパシタ上部電極を含むキャパシタ素子と、前記絶縁膜上に前記キャパシタ下部電極と同一の金属層から形成された下部メタル層、前記下部メタル層上に前記キャパシタ絶縁膜と同一の絶縁膜から形成された中間絶縁層、及び、前記中間絶縁膜上に前記キャパシタ上部電極と同一の金属膜から形成された上部メタル層を含み、前記下部メタル層と前記上部メタル層とが導通されているメタル配線を有する。

【0014】また、本発明の半導体装置の製造方法においては、半導体基板上に絶縁膜を形成し、前記絶縁膜上にキャパシタ下部電極及び下部メタル層を同時に形成し、前記キャパシタ下部電極及び前記下部メタル層の上に、キャパシタ絶縁膜及び中間絶縁層を同時に形成し、前記キャパシタ絶縁膜及び前記中間絶縁層の上に、キャパシタ上部電極及び上部メタル層を同時に形成し、前記下部メタル層と前記上部メタル層とを導通させ、キャパシタ素子及びメタル配線を形成する。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。

【0016】本発明の実施の形態において、半導体装置は、シリコン基板のような半導体基板上に形成されたIC、LSI等であり、キャパシタ素子、トランジスタ、抵抗素子、配線等を含むものである。

【0017】図1は本発明の第1の実施の形態における半導体装置の構造を示す断面図、図2は本発明の第1の実施の形態における半導体装置の製造方法における工程断面図（その1）、図3は本発明の第1の実施の形態における半導体装置の製造方法における工程断面図（その2）である。

【0018】まず、図2（a）に示されるように、シリコン基板のような半導体基板10上に図示されないトランジスタ、抵抗素子、配線等を形成した後、その上に二酸化シリコン、PSG等からなる第1の層間絶縁膜11を形成し、さらに該第1の層間絶縁膜11の上に、アルミニウム、銅等からなるメタル層を形成した後、該メタル層をホトリソグラフィ技術を使用してエッチングし、所定形の形状の第1のメタル配線12を形成する。

【0019】その後、前記第1の層間絶縁膜11及び第1のメタル配線12の上に、シリコン酸化膜、PSG膜等の第2の層間絶縁膜13を形成する。そして、該第2の層間絶縁膜13に、前記第1のメタル配線12と上層に形成されるメタル配線とを接続するための複数の接続孔14をホトリソグラフィ技術を使用したエッチングにより形成した後、全面にタングステンの層をCVD法

により形成する。次いで、該タングステンの層をエッチバックすることにより、前記接続孔14に埋め込まれた複数のタングステン電極15が形成される。

【0020】次に、図2（b）に示されるように、全面にアルミニウム、銅等からなるメタル層26をスパッタリング法により形成した後、該メタル層26の上にシリコン酸化膜27をCVD法によって形成し、さらに、該シリコン酸化膜27の上にアルミニウム、銅等からなるメタル層28をスパッタリング法により形成する。

【0021】その後、前記メタル層26、シリコン酸化膜27及びメタル層28をホトリソグラフィ技術を使用してエッチングし、図2（c）に示されるように、キャパシタ素子となる部分のキャパシタ下部電極26a、キャパシタ絶縁膜27a及びキャパシタ上部電極28aと、配線となる部分の下部メタル層26b、中間絶縁層27b及び上部メタル層28bとに分離する。

【0022】次に、全面にシリコン酸化膜、PSG膜等の第3の層間絶縁膜29を形成する。そして、該第3の層間絶縁膜29においてキャパシタ素子となる部分に対応する部分に、前記上部電極28aと上層に形成されるメタル配線とを接続するための複数の接続孔30をホトリソグラフィ技術を使用したエッチングにより形成した後、前記第3の層間絶縁膜29上の全面にタングステンの層をCVD法により形成する。次いで、該タングステンの層をエッチバックすることにより、図3（a）に示されるように、前記接続孔30に埋め込まれた複数のタングステン電極31が形成される。

【0023】その後、前記第3の層間絶縁膜29において配線となる部分に対応する部分に、接続孔32をホトリソグラフィ技術を使用したエッチングにより形成する。この時、前記第3の層間絶縁膜29とともに、前記上部メタル層28b及び中間絶縁層27bをもエッチングして、前記接続孔32が前記下部メタル層26bに到達するようにする。次いで、再度、前記第3の層間絶縁膜29上の全面にタングステンの層をCVD法により形成した後、該タングステンの層をエッチバックすることにより、図3（b）に示されるように、前記接続孔32に埋め込まれたタングステン電極33が形成される。

【0024】これにより、前記第1のメタル配線12、下部メタル層26b、上部メタル層28b及び後述する第4のメタル配線34が導通される。

【0025】次に、前記第3の層間絶縁膜29の全面にアルミニウム、銅等からなるメタル層を形成した後、該メタル層をホトリソグラフィ技術を使用してエッチングし、図3（c）〔図1と同じ構造〕に示されるように、第4のメタル配線34を形成する。

【0026】このようにして、図1に示されるような、半導体基板10上の第2の層間絶縁膜13上に、キャパシタ下部電極26a、キャパシタ絶縁膜27a及びキャパシタ上部電極28aを含むキャパシタ素子、並びに、

下部メタル層 26b、中間絶縁層 27b 及び上部メタル層 28b を含むメタル配線を有する半導体装置を得ることができる。

【0027】そして、前記第2の層間絶縁膜 13 上に形成されたメタル配線の最上層である前記上部メタル層 28b の高さは、前記キャパシタ上部電極 28a の高さと同じ。

【0028】このように、本実施の形態においては、第2の層間絶縁膜上に形成されたキャパシタ素子の高さとメタル配線の高さが同じなので、キャパシタ上部電極及びメタル配線を形成する際のエッチング量のコントロールが容易となり、所望の形状に形成できるので、所定のキャパシタ性能が得られなかったり、断線が生じたりすることがない。このため、前記キャパシタ素子を含む IC、LSI 等の半導体装置の信頼性が向上し、製造における歩留りも向上する。

【0029】さらに、多層配線を有する半導体装置を得る場合にも、キャパシタ上部電極とメタル配線との高さが同じなので、その上に形成する層を平坦にすることで、その上に形成される配線層の中に段差が生じないので、所定の性能が得られなかったり、断線が生じたりすることがない。

【0030】次に、本発明の第2の実施の形態について説明する。

【0031】なお、第1の実施の形態と同じ構造のものは、同じ符号を付することにより、その説明を省略する。

【0032】図4は本発明の第2の実施の形態における半導体装置の構造を示す断面図、図5は本発明の第2の実施の形態における半導体装置の製造方法における工程断面図（その1）、図6は本発明の第2の実施の形態における半導体装置の製造方法における工程断面図（その2）である。

【0033】まず、図5（a）に示される工程は、第1の実施の形態における図5（a）に示される工程と同様なので、説明を省略する。

【0034】次に、図5（b）に示されるように、全面にアルミニウム、Al-Si、Al-Cu 等のアルミニウム系の金属からなるメタル層 46 をスパッタリング法により形成した後、該メタル層 46 の上に、Ti 系の金属からなるメタル層 47 をスパッタリング法により形成する。ここで、メタル層 46 及び 47 は、エッチングにおいて選択比を有する、すなわちエッチング速度の相違する金属の2重構造とする。

【0035】続いて、図5（c）に示されるように、該メタル層 47 の上に、シリコン酸化膜 48 を CVD 法によって形成し、さらに、該シリコン酸化膜 48 の上にアルミニウム、銅等からなるメタル層 49 をスパッタリング法により形成する。

【0036】次に、第1の実施の形態における図2

（c）に示される工程と同様にして、前記メタル層 46、メタル層 47、シリコン酸化膜 48 及びメタル層 49 をホトリソグラフィ技術を使用してエッチングし、キャパシタ素子となる部分のキャパシタ下部電極 46a 及び 47a、キャパシタ絶縁膜 48a 並びにキャパシタ上部電極 49a と、配線となる部分の下部メタル層 46b 及び 47b、中間絶縁層 48b 並びに上部メタル層 49b とに分離した後、第1の実施の形態における図3

（a）に示される工程と同様にして、図6（a）に示されるように、シリコン酸化膜、PSG 膜等の第3の層間絶縁膜 50 における接続孔 51 に埋め込まれた複数のタングステン電極 52 が形成される。

【0037】その後、第1の実施の形態における図3

（b）に示される工程と同様にして、図6（b）に示されるように、前記下部メタル層 47b に到達する接続孔 53 に埋め込まれたタングステン電極 54 が形成される。

【0038】これにより、前記第1のメタル配線 12、下部メタル層 46b 及び 47b、上部メタル層 49b 並びに後述する第4のメタル配線 55 が導通される。

【0039】次に、第1の実施の形態における図3

（c）に示される工程と同様にして、図6（c）〔図4と同じ構造〕に示されるように、第4のメタル配線 55 を形成する。

【0040】このようにして、図4に示されるような、半導体基板 10 上の第2の層間絶縁膜 13 上に、キャパシタ下部電極 46a 及び 47a、キャパシタ絶縁膜 48a 並びにキャパシタ上部電極 49a を含むキャパシタ素子と、下部メタル層 46b 及び 47b、中間絶縁層 48b 並びに上部メタル層 28b を含むメタル配線を有する半導体装置を得ることができる。

【0041】このように、本実施の形態においては、第1の実施の形態における効果に加え、第2の層間絶縁膜上に形成されたメタル配線が、アルミニウム系の金属と Ti 系の金属の積層構造であるので、エレクトロマイグレーションに強い配線構造を得ることができ、信頼性を向上させることができるという効果を有する。

【0042】次に、本発明の第3の実施の形態について説明する。

【0043】図7は本発明の第3の実施の形態における半導体装置の構造を示す断面図、図8は本発明の第2の実施の形態における半導体装置の製造方法における工程断面図（その1）、図9は本発明の第2の実施の形態における半導体装置の製造方法における工程断面図（その2）である。

【0044】まず、図8（a）に示される工程は、第1の実施の形態における図2（a）に示される工程と同様なので、説明を省略する。

【0045】次に、第2の実施の形態における図5

（b）に示される工程と同様にして、全面にアルミニウ

ム、Al-Si、Al-Cu等のアルミニウム系の金属からなる金属層66をスパッタリング法により形成した後、該金属層66の上に、Ti系の金属からなる金属層67をスパッタリング法により形成する。ここで、金属層66及び67は、エッチングにおいて選択比を有する、すなわちエッチング速度の相違する金属の2重構造とする。

【0046】その後、ホトリソグラフィ技術を使用したエッチングにより、図8(b)に示されるように、前記金属層67のキャパシタ素子となる部分を一部除去して凹部を形成する。

【0047】次に、前記金属層67の上に、シリコン酸化膜68をCVD法によって形成し、さらに、該シリコン酸化膜68の上にアルミニウム、銅等からなる金属層69をスパッタリング法により形成すると、図8

(c)に示されるように、前記金属層67の除去された凹部の壁面を薄い前記シリコン酸化膜68が覆い、さらに、その上から前記凹部に前記金属層69が入り込み、前記凹部を埋めた状態になる。ここで、前記金属層69の上面は平坦である。

【0048】次に、第1の実施の形態における図2(c)に示される工程と同様にして、前記金属層66、金属層67、シリコン酸化膜68及び金属層69をホトリソグラフィ技術を使用してエッチングし、キャパシタ素子となる部分の、キャパシタ下部電極66a及び67a、キャパシタ絶縁膜68a並びにキャパシタ上部電極69aと、配線となる部分の下部金属層66b及び67b、中間絶縁層68b並びに上部金属層69bとに分離した後、第1の実施の形態における図3(a)に示される工程と同様にして、図9(a)に示されるように、シリコン酸化膜、PSG膜等の第3の層間絶縁膜70における接続孔71に埋め込まれた複数のタングステン電極72が形成される。

【0049】その後、第1の実施の形態における図3(b)に示される工程と同様にして、図9(b)に示されるように、前記下部金属層67bに到達する接続孔73に埋め込まれたタングステン電極74が形成される。

【0050】これにより、前記第1の金属配線12、金属層66b、金属層67b、金属層69b及び後述する第4の金属配線75が電氣的に接続される。

【0051】次に、第1の実施の形態における図3(c)に示される工程と同様にして、図9(c)〔図7と同じ構造〕に示されるように、第4の金属配線75を形成する。

【0052】このようにして、図7に示されるように、半導体基板上の第2の層間絶縁膜13上に、キャパシタ下部電極66a及び67a、キャパシタ絶縁膜68a並びにキャパシタ上部電極69aを含むキャパシタ素子と、下部金属層66b及び67b、中間絶縁層68b

並びに上部金属層68bを含む金属配線を有する半導体装置を得ることができる。

【0053】このように、本実施の形態においては、第1及び第2の実施の形態における効果に加え、キャパシタ下部電極に凹部が形成され、かつ、該凹部にキャパシタ絶縁膜及びキャパシタ上部電極が入り込んでいるので、対向するキャパシタ電極の面積が広くなり、キャパシタの容量が大きいという効果を有する。したがって、本実施の形態においては、半導体素子におけるキャパシタの占めるスペースを小さくでき、コストを低減することができる。

【0054】なお、前記実施の形態においては、配線となる部分から分離してキャパシタを形成したが、配線と分離せずに、配線の一部をキャパシタとして形成することもできる。

【0055】なお、本発明は前記実施の形態に限定されるものではなく、本発明の趣旨に基づいて種々変形させることが可能であり、それらを本発明の範囲から排除するものではない。

【0056】

【発明の効果】以上詳細に説明したように、本発明によれば、半導体装置においては、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたキャパシタ下部電極、前記キャパシタ下部電極上に形成されたキャパシタ絶縁膜、及び、前記キャパシタ絶縁膜上に形成されたキャパシタ上部電極を含むキャパシタ素子と、前記絶縁膜上に前記キャパシタ下部電極と同一の金属層から形成された下部金属層、前記下部金属層上に前記キャパシタ絶縁膜と同一の絶縁膜から形成された中間絶縁層、及び、前記中間絶縁膜上に前記キャパシタ上部電極と同一の金属膜から形成された上部金属層を含み、前記下部金属層と前記上部金属層とが導通されている金属配線を有する。

【0057】また、半導体装置の製造方法においては、半導体基板上に絶縁膜を形成し、前記絶縁膜上にキャパシタ下部電極及び下部金属層を同時に形成し、前記キャパシタ下部電極及び前記下部金属層の上に、キャパシタ絶縁膜及び中間絶縁層を同時に形成し、前記キャパシタ絶縁膜及び前記中間絶縁層の上に、キャパシタ上部電極及び上部金属層を同時に形成し、前記下部金属層と前記上部金属層とを導通させ、キャパシタ素子及び金属配線を形成する。

【0058】この場合、絶縁膜上に形成されたキャパシタ素子の高さや金属配線の高さと同じなので、キャパシタ上部電極及び金属配線を形成する際のエッチング量のコントロールが容易となり、所望の形状に形成できるので、所定のキャパシタ性能が得られなかったり、断線が生じたりすることがない。このため、前記キャパシタ素子を含む半導体装置の信頼性が向上し、製造における歩留りも向上する。

【0059】さらに、多層配線を有する半導体装置を得る場合にも、キャパシタ上部電極とメタル配線との高さが同じなので、その上に形成する層を平坦にすることで、その上に形成される配線層の中に段差が生じないので、所定の性能が得られなかったり、断線が生じたりすることがない。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の構造を示す断面図である。

【図2】本発明の第1の実施の形態における半導体装置の製造方法における工程断面図（その1）である。

【図3】本発明の第1の実施の形態における半導体装置の製造方法における工程断面図（その2）である。

【図4】本発明の第2の実施の形態における半導体装置の構造を示す断面図である。

【図5】本発明の第2の実施の形態における半導体装置の製造方法における工程断面図（その1）である。

【図6】本発明の第2の実施の形態における半導体装置

の製造方法における工程断面図（その2）である。

【図7】本発明の第3の実施の形態における半導体装置の構造を示す断面図である。

【図8】本発明の第3の実施の形態における半導体装置の製造方法における工程断面図（その1）である。

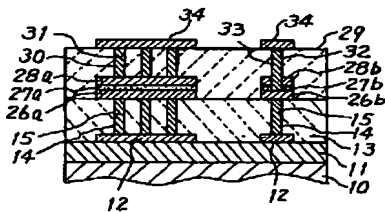
【図9】本発明の第3の実施の形態における半導体装置の製造方法における工程断面図（その2）である。

【図10】従来の半導体装置の製造方法における工程断面図である。

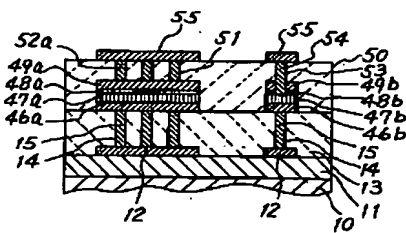
【符号の説明】

10	半導体基板
11	絶縁膜
26a、46a、66a	キャパシタ下部電極
27a、48a、68a	キャパシタ絶縁膜
28a、49a、69a	キャパシタ上部電極
26b、46b、66b	下部メタル層
27b、48b、68b	中間絶縁膜
28b、49b、69b	上部メタル層

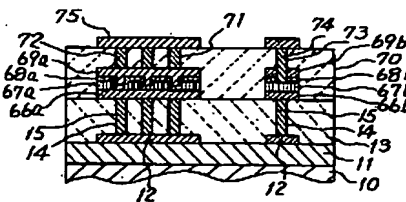
【図1】



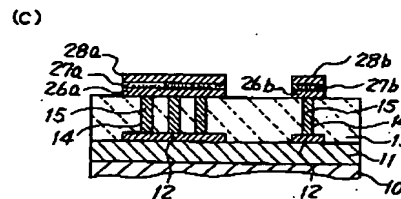
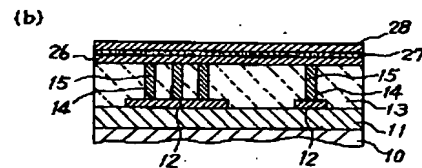
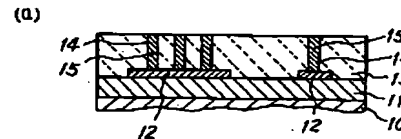
【図4】



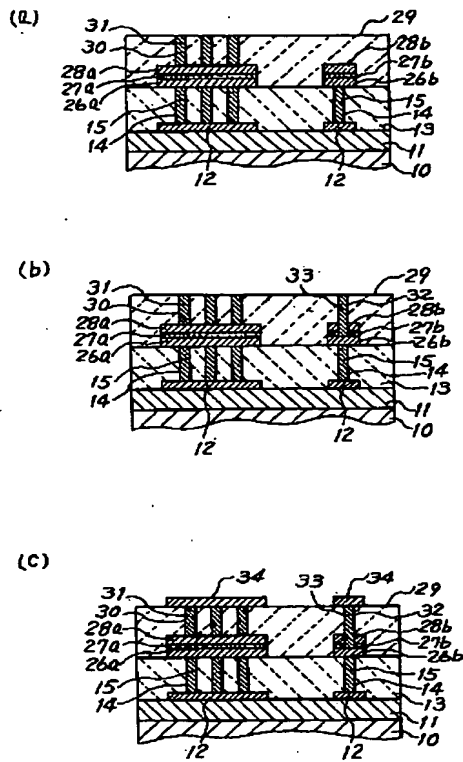
【図7】



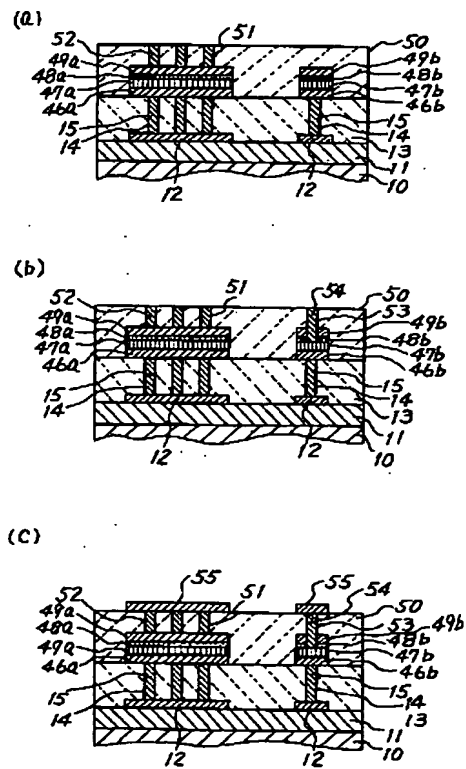
【図2】



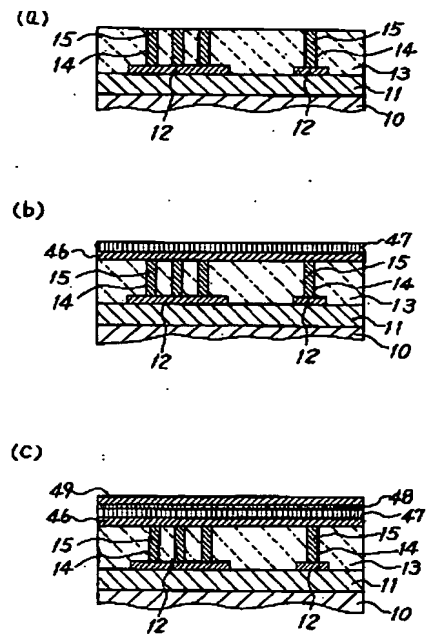
【図 3】



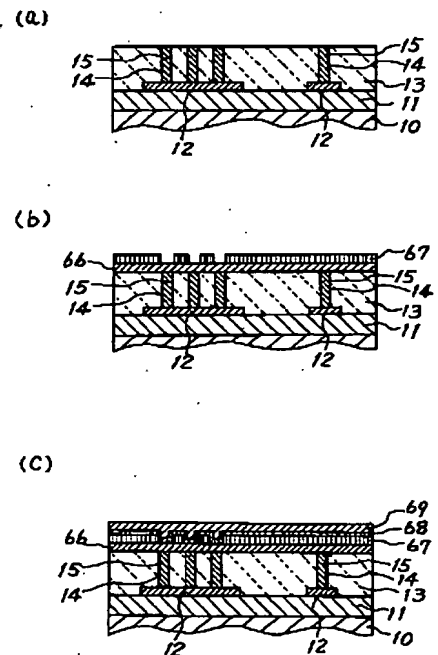
【図 6】



【図 5】

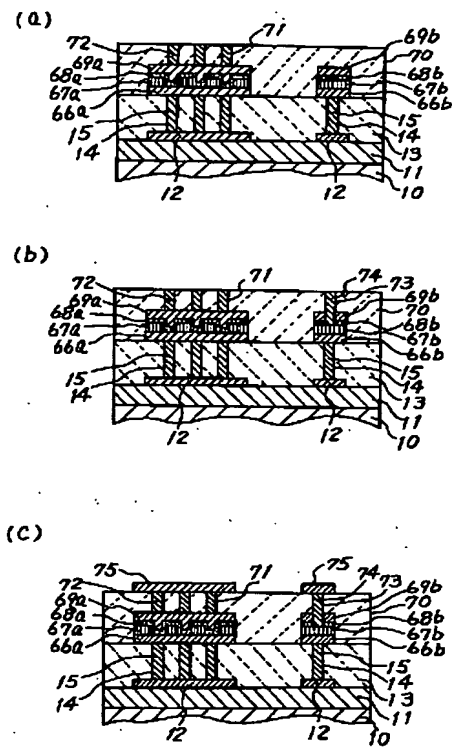


【図 8】

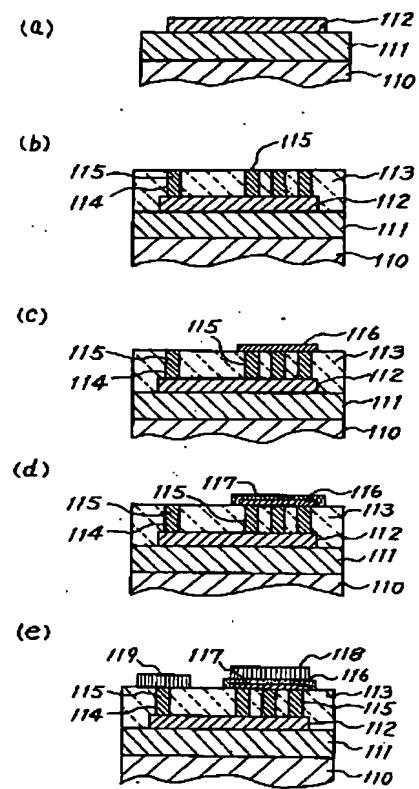




【図 9】



【図 10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**